

功能特性

- 集成低噪声 PGA，放大倍数可选 64、128
- 集成 2 通道 24 位无失码的差分输入 ADC
PGA=128 时 ENOB 为 21 位；PGA=64 时 ENOB 为 22 位
- P-P 噪声：10Hz：23nV；80Hz：56nV
- 内部集成 RC 振荡器
- 输出速率 10Hz/80Hz 可选
- 集成 2 线 SPI 通讯接口
- INL 小于 0.001%

功能方块图

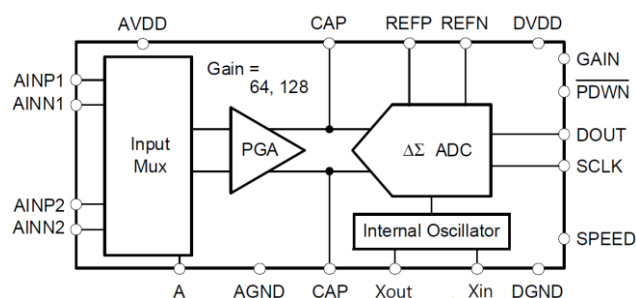


Figure 1.

应用场合

- 工业过程控制
- 电子秤
- 液体/气体化学分析
- 血液计
- 智能变换器
- 便携式设备

Parameter.	Gain = 64.		Gain = 128.	
Output Data Rate.	10 Hz.	80 Hz.	10 Hz.	80 Hz.
RMS Noise.	23 nV.	56 nV.	21 nV.	56 nV.
P-P Resolution.	21.7.	20.4.	20.8.	19.4.

Table 1.

概述

CS5555 是高精度、低功耗模数转换芯片。其分辨率为 24bit，有效分辨率可达 23 位。可以广泛使用在工业控制、量重、压力、液体/气体化学分析、血液分析、智慧发送器、便携测量仪器领域。

CS5555 是一款高精度、低功耗 Sigma-Delta 模数转换芯片，内置 1 路 Sigma-Delta ADC。ADC 采用三阶 Sigma-Delta 调制器，通过低噪声仪用放大器结构实现 PGA 放大，放大倍数可选 64、128。在 PGA=128 时，有效分辨率可达 21 位。CS5555 输出速率 10Hz/80Hz 可选。CS5555 内置 RC 振荡器。CS5555 具有待机、断申等更低功耗模式。

目录 TABLE OF CONTENTS

功能特性.....	1	数据格式.....	9
功能方块图.....	1	数据准备/数据输出(DOUT)	9
应用场合.....	1	串行时钟输入(SCLK)	9
概述.....	1	数据接收.....	10
修订追踪.....	2	待机模式.....	11
电器规格.....	3	断电模式.....	12
电器绝对最大极限值.....	5	断电后上电顺序.....	12
噪声性能.....	5	应用电路.....	13
芯片引脚.....	6	OIML 应用电路.....	13
功能模块描述.....	7	OIML LAYOUT布板参考.....	14
模拟输入.....	7	封装.....	15
低噪声放大器.....	7		
复位和断电.....	7		
数字逻辑特性.....	7		
SPI串口通信.....	8		
ADC转换建立时间.....	8		
输出速率.....	9		

修订追踪

2013/11/25 增加外部晶振输入，提升温度特性

电器规格-1

所有的参数测试在环境温度-20~85°C, AVDD=5V · DVDD=5V · REFP=5V · REFN=0V 的条件下测试 CS5555

Table 2.

参数	条件	最小值	典型值	最大值	单位
模拟输入					
满幅输入电压(AINP-AIN)			$\pm 0.5V_{REF}/PGA$		V
共模输入电压	PGA=64 · 128	AGND+1.5		AVDD-1.5	V
共模电压抑制比			125		dB
差分输入阻抗	PGA=64 · 128		>1		GΩ
系统性能					
分辨率	无失码		24		Bits
AD速率	时钟为4.9152MHz		10	80	Hz
建立时间	全建立		4		转换周期
P-P噪声	PGA=128 · DR=10Hz		139		nv
积分线性度	PGA=128		± 2	± 3	ppm
失调误差	PGA=128		-1		uV
失调误差漂移	PGA=128		25		nv/°C
增益误差	PGA=128		± 0.1		%
增益误差漂移	PGA=128		± 2	± 3	ppm/°C
参考电压输入					
负参考电压输入	REFN	AGND-0.1		AGND+0.6	V
正参考电压输入	REFP	REFN +2.5		AVDD+0.1	V
REFP - REFN		2.5	AVDD	AVDD+0.1	V
参考电压抑制比			54		dB
电源					
模拟电源电压	AVDD	2.8	5	5.5	V
数字电源电压	DVDD	2.8	5	5.5	V
电源电压抑制比	PGA=64 · 128		110		dB
模拟部分电流	普通模式	PGA=64 · 128	3		mA
	Standby mode		6		uA
	Power down		0.1		uA
数字元部分电流	normal mode		400		uA
	Standby mode		150		uA
	Power down		1.5		uA
时钟					
内部振荡器频率		4.6	5	5.4	MHz
内置时钟温漂			250		ppm/°C
外部振荡器频率		4	4.9152	5	MHz

电器规格-2

所有的参数测试在环境温度-20~85°C, AVDD=3V · DVDD=3V · REFP=3V · REFN=0V 的条件下测试 CS5555

Table 3.

参数	条件	最小值	典型值	最大值	单位
模拟输入					
满幅输入电压(AINP-AIN)			0.5VREF/PGA		V
共模输入电压	PGA=64 · 128	AGND+1.5		AVDD-1.5	V
共模电压抑制比			125		dB
差分输入阻抗	PGA=64 · 128		>1		GΩ
系统性能					
分辨率	无失码		24		Bits
AD速率	时钟为4.9152MHz		10	80	Hz
建立时间	全建立		4		转换周期
P-P噪声	PGA=128 · DR=10Hz		145		nv
积分线性度	PGA=128		±2	±3	ppm
失调误差	PGA=128		-1		uV
失调误差漂移	PGA=128		25		nv/°C
增益误差	PGA=128		±0.1		%
增益误差漂移	PGA=128		±2	±3	ppm/°C
参考电压输入					
负参考电压输入	REFN	AGND-0.1		AGND+0.6	V
正参考电压输入	REFP	REFN +1.5		AVDD+0.1	V
REFP - REFN		1.5	AVDD	AVDD+0.1	V
参考电压抑制比			54		dB
电源					
模拟电源电压	AVDD	2.8	5	5.5	V
数字电源电压	DVDD	2.8	5	5.5	V
电源电压抑制比	PGA=64 · 128		110		dB
模拟部分电流	普通模式	PGA=64 · 128	2.7		mA
	Standby mode		3		uA
	Power down		0.1		uA
数字元部分电流	normal mode		360		uA
	Standby mode		100		uA
	Power down		1.5		uA
时钟					
内部振荡器频率		4.4	5	5.6	MHz
内置时钟温漂			250		ppm/°C
外部振荡器频率		4	4.9152	5	MHz

电器绝对最大极限值

Table 4.

名称	符号	最小	最大	单位
模拟电源电压	AVDD	-0.3	6	V
数字电源电压	DVDD	-0.3	6	V
数字地与模拟地之间压差		-0.3	0.3	V
电源瞬间电流			100	mA
电源恒定电流			10	mA
数字管脚输入电压		-0.3	DVDD+0.3	V
模拟管脚输入电压		-0.3	AVDD+0.3	V
节温			150	°C
工作温度		-40	105	°C
储存温度		-60	150	°C
芯片管脚焊接温度			240	°C

噪声性能

Table 5.

条件	速度	增益	RMS 噪声	P - P 噪声	ENOB(RMS)	NOISE-FREE BITS
AVDD=5V VREF=5V	10HZ	64	23nV	149nV	21.7	19.0
		128	21nV	139nV	20.8	18.1
	80HZ	64	56nV	342nV	20.4	17.8
		128	56nV	298nV	19.4	17
AVDD=3V VREF=3V	10HZ	64	26nV	167nV	20.8	18.1
		128	23nV	145nV	20.0	17.3
	80HZ	64	63nV	383nV	19.5	16.9
		128	67nV	358nV	18.4	16

芯片引脚

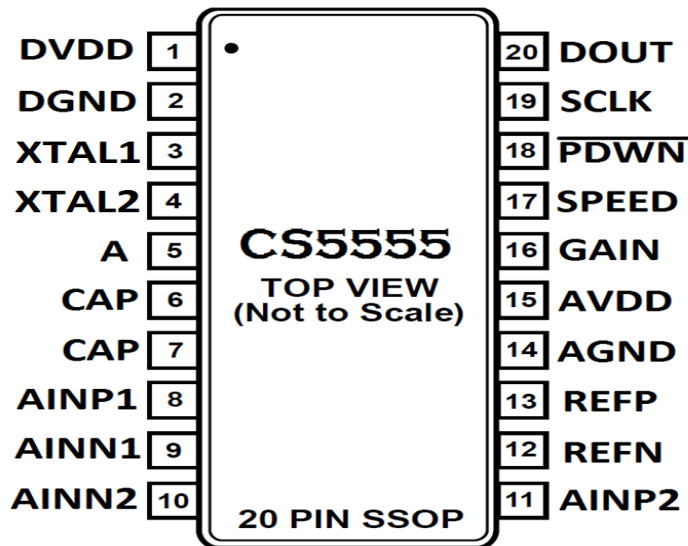


Figure 2.

Table 6.

序号	引脚名称	输入/输出	说明
1	DVDD	P	数字电源
2	DGND	P	数字地
3	XTAL1	DI	震荡器输入；当 XTAL1 接到 DGND 则选择内部晶振；负载电容建议 10pf
4	XTAL2	DO	震荡器输出
5	A	AI	通道选择：0：选择通道 1；1：选择通道 2
6	CAP	AI	PGA 放大器输出，CAP1、CAP2 之间外接 0.1~0.44uF 电容
7	CAP	AI	
8	AINP1	AI	通道 1 正输入
9	AINN1	AI	通道 1 负输入
10	AINN2	AI	通道 2 负输入
11	AINP2	AI	通道 2 正输入
12	REFN	AI	参考电压负端输入
13	REFP	AI	参考电压正端输入
14	AGND	P	模拟地
15	AVDD	P	模拟电源
16	GAIN	AI	PGA 选择：0：选择 PGA64；1：选择 PGA128
17	SPEED	DI	输出速率选择：speed=0：10Hz；speed=1：80Hz
18	PWDN	DI	power down 控制埠(低电平有效)
19	SCLK	DI	SPI 时钟输入埠
20	DOUT	DO	SPI 数据输入/输出端口

功能模块描述

模拟输入

CS5555 中有 1 路 ADC，集成 2 信道差分输入，信号输入可以是差分输入信号 AINP1、AINN1 或 AINP2、AINN2。AINP1、AINN1 或 AINP2、AINN2 的切换由 A 控制。其基本结构如 Figure3 图所示：

A : 0 : 选择通道 1；

A : 1 : 选择通道 2

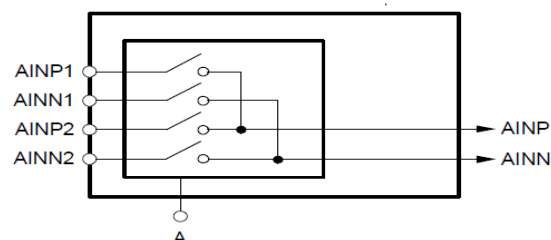


Figure3

低噪声放大器

CS5555 集成低噪声，低漂移 PGA 放大器与桥式传感器差分输出连接，其内部基本结构如 Figure4 所示，前置抗 EMI 滤波器电路 $R=350\Omega$ ， $C=20\text{pF}$ 实现 20M 高频滤波。低噪声 PGA 放大器通过 R_{F1} 、 R_1 、 R_{F2} 实现 64 倍放大，与后级电路组成 64 和 128 的 PGA 放大。通过对引脚 GAIN 的控制来选择 64 倍，128 倍等不同的增益倍数。在 CAP 埠处接一个外置 $0.2\sim 0.47\mu\text{F}$ 电容，与内置 2K 电阻 R_{INT} 组成一个低通滤波电路，用于低噪声 PGA 放大器输出信号的高频滤波，同时该低通滤波器也可以作为 ADC 的抗混迭滤波器。

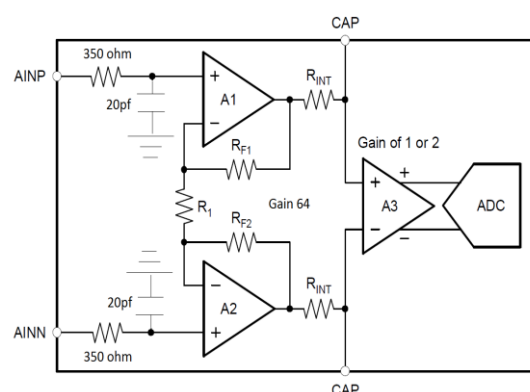


Figure4

复位和断电

当芯片上电时，内置上电重置电路会使芯片自动重置。将引脚 $\overline{\text{PDWN}}$ 端口拉低，可以使整个系统进入 Power down 状态，此时功耗低于 $1.6\mu\text{A}$ ，正常使用时将 $\overline{\text{PDWN}}$ 拉高。

数字逻辑特性

Table 7.

参数	最小	典型	最大	单位	条件说明
V_{IH}	$0.7 \times DVDD$		$DVDD + 0.1$	V	
V_{IL}	DGND		$0.3 \times DVDD$	V	
$V_{IH} (\text{PWDN})$	$0.8 \times DVDD$		$DVDD + 0.1$	V	
$V_{IL} (\text{PWDN})$	DGND		$0.2 \times DVDD$	V	
V_{OH}	$DVDD - 0.4$		$DVDD$	V	$I_{OH} = 1\text{mA}$
V_{OL}	DGND		$0.2 \times DVDD$	V	$I_{OL} = 1\text{mA}$
I_{IH}			10	μA	$V_I = DVDD$
I_{IL}	-10			μA	$V_I = \text{DGND}$
外置时钟工作频率范围 ⁽¹⁾	0.2	4.9152	8	MHz	
串口时钟工作频率范围 ⁽²⁾			2	MHz	

(1) 芯片工作时钟频率 / (2) 串口通信时钟 SCLK 的频率

SPI 串口通信

CS5555 采用 2 线 SPI 串口通信，通过 SCLK 和 DOUT 可以实现数据的接收。CS5555 可以持续的转换模拟输入信号，当将 DOUT 拉低后，表明数据已经准备好，输入的的第一个 SCLK 就可以将 24 位 AD 值的最高位读出，在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后 DOUT 会保持着最后一位的数据，直到下一个数据准备好之前拉高，此后当 DOUT 被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取。在接收完成一组数据后，应当保持 SCLK 的电平为低，防止 SCLK 高电平时间过长，使 CS5555 误入待机模式。每次资料读取可以不需要读完 24bit 资料，是否全部读完 24bit 数据对下次模数转换没有影响。

ADC 转换建立时间

数字部分需要有四个数据转换周期满足模拟输入信号的建立和滤波器的建立时间要求。信道间切换，到新的正确的数据到来都需要四个数据转换周期。整个建立过程如 Figure5.图所示：

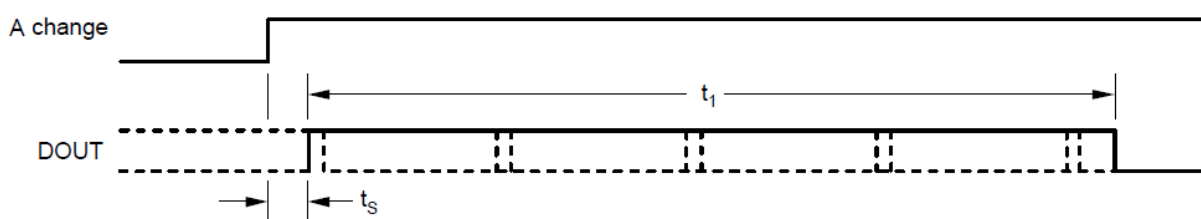


Figure5.

Table 8.

参数	描述 ⁽¹⁾	最小值	最大值	单位
ts	改变 A 后的建立时间	40	50	us
t1	建立时间 (DOUT 保持高电平)	SPEED = 1	57	ms
		SPEED = 0	407	ms

(1) 值是在 fclk=4.9152MHz 时对应的值，不同的 fclk 频率，数值等比例变化。

CS5555 在连续转换过程中，若外部差分输入信号发生突然变化，同样需要建立时间。突变的信号需要 4 个转换周期进行建立，第 5 个转换周期得到最终的 AD 值。Figure6 描述突变信号建立的过程。若在建立的过程中，信号再发生突变，则忽略之前的建立，需要新的 4 个转换周期进行建立，之后紧接着的第 5 个转换周期得到最终的 AD 值如 Figure6.图所示。

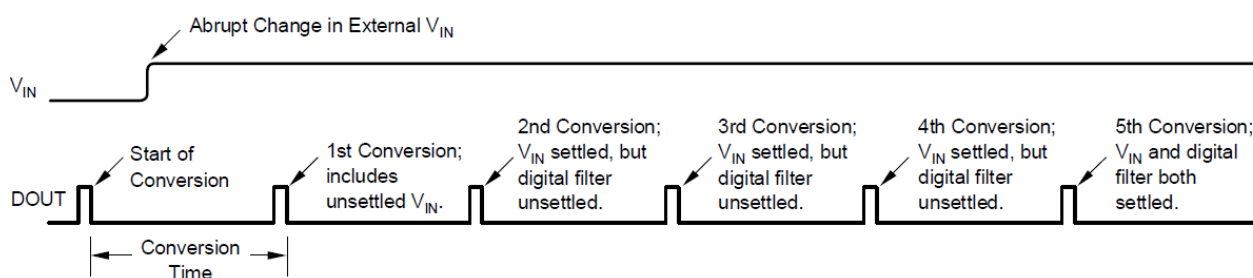


Figure6.

输出速率

CS5555 的输出速率可以通过 SPEED 引脚设置。当 SPEED 为低电平时，输出速率为 10Hz，此时输出速率拥有最小的噪声，并对 50Hz/60Hz 噪声有很好的抑制作用；当 SPEED 为高电平时，输出速率为 80Hz。

数据格式

CS5555 输出的数据为 24 位的 2 进制补码，最高位 (MSB) 最先输出。最小有效位 (LSB) 为 $(0.5V_{REF}/Gain)/(2^{23}-1)$ 。正值满幅输出码为 7FFFFFFH，负值满幅输出码为 800000H。下表为不同模拟输入信号对应的理想输出码。

数据准备/数据输出(DOUT)

DOUT 引脚有 2 个用途。第一，当输出为低时，表示新的数据已经转换完成；第二，作为数据输出引脚，当资料准备好后，在第 1 个 SCLK 的上升沿后，DOUT 输出转换数据的最高位 (MSB)。在每一个 SCLK 的上升沿，数据会自动移 1 位。在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后 DOUT 会保持着最后一位的数据，直到下一个数据准备好之前拉高，此后当 DOUT 被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取。

Table 9.

SPEED PIN	DATA RATE
	Internal Oscillator
0	10SPS
1	80SPS

Table 10.

INPUT SIGNAL V_{IN} (AINP – AINN)	IDEAL OUTPUT CODE
$\geq +0.5V_{REF}/Gain$	7FFFFFFh
$(+0.5V_{REF}/Gain)/(2^{23}-1)$	000001h
0	000000h
$(-0.5V_{REF}/Gain)/(2^{23}-1)$	FFFFFFh
$\leq -0.5V_{REF}/Gain$	800000h

Excludes effects of noise, INL, offset, and gain errors.

串行时钟输入(SCLK)

串行时钟输入是一个数字引脚。这个信号应保证是一个干净的信号，毛刺或慢速的上升沿都会可能导致读取错误数据或误入错误状态。因此，应保证 SCLK 的上升和下降时间都小于 50ns。

数据接收

CS5555 可以持续的转换模拟输入信号，当将 DOUT 拉低后，表明数据已经准备好接受，输入的第一个 SCLK 来就可以将输出的最高位读出，在 24 个 SCLK 后，将所有的 24 位 DOUT 数据读出，之后 DOUT 会保持着最后一位的数据，直到其被拉高如图 Figure7 所示，通过第 25 个 SCLK 可以将 DOUT 拉高，此后当 DOUT 被再次拉低，表示新的数据已经准备好接受，进行下一个数据的转换。其基本时序如图 Figure8 所示：

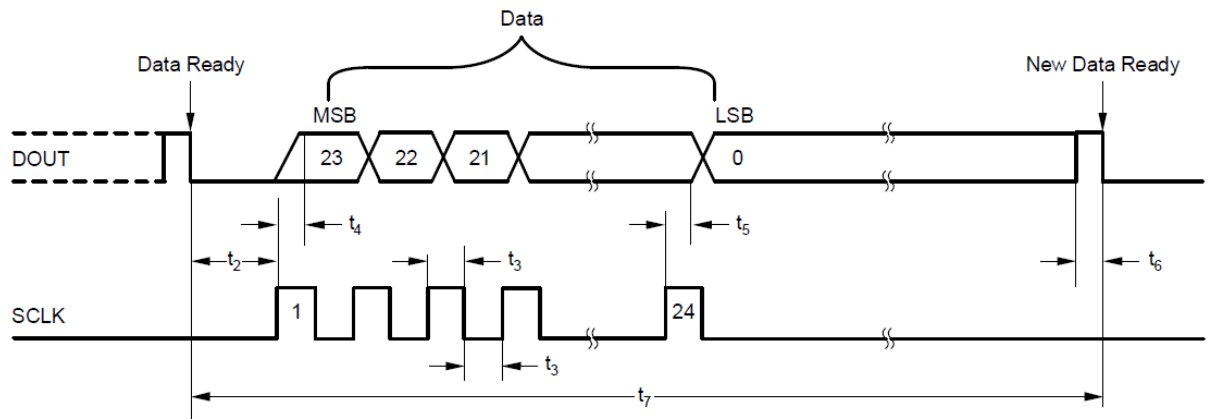


Figure7.

Table 11.

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t2	DOUT变低后到第一个SCLK上升沿	0			ns
t3	SCLK 高电平或低电平脉宽	250			ns
t4	SCLK上升沿到新数据位有效(传输延迟)			200	ns
t5	SCLK上升沿到旧数据位有效(保持时间)	0			ns
t6 ⁽¹⁾	数据更新，不允许读之前的数据	39			us
t7 ⁽¹⁾	转换时间 (1/data rate)	SPEED = 1	12.5		ms
		SPEED = 0	100		ms

(1) Values given for fCLK = 4.9152MHz.

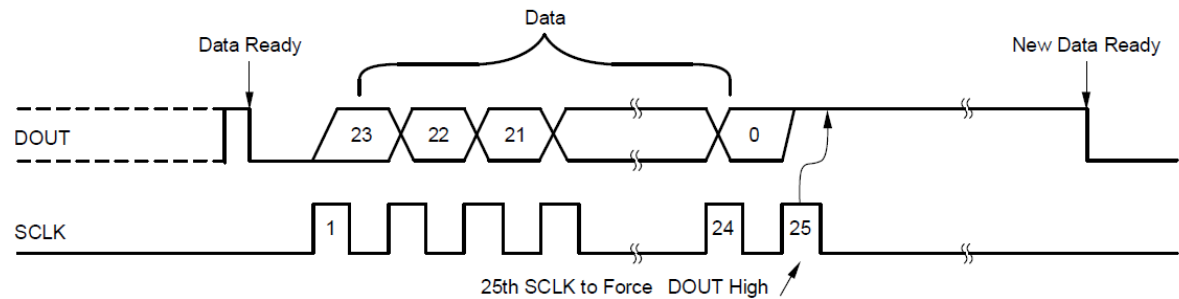


Figure8.

CS5555

待机模式

待机模式通过关闭大部分电路来减小功耗。在待机模式中，整个模拟电路关闭，只有时钟电路工作。进入待机模式的方式是，DOUT 变低后（数据准备好），一直保持 SCLK 高电平即可进入待机模式。进入待机模式的方式是在任何读取数据过程中。当 SCLK 保持高电平满足 t_{10} ，待机模式将会启动。进入待机模式，DOUT 会保持高电平。在待机模式，SCLK 必须一直保持为高电平。当 SCLK 变低电平时，芯片退出待机模式开始新的数据转换。其基本时序如图 *Figure9* 所示：

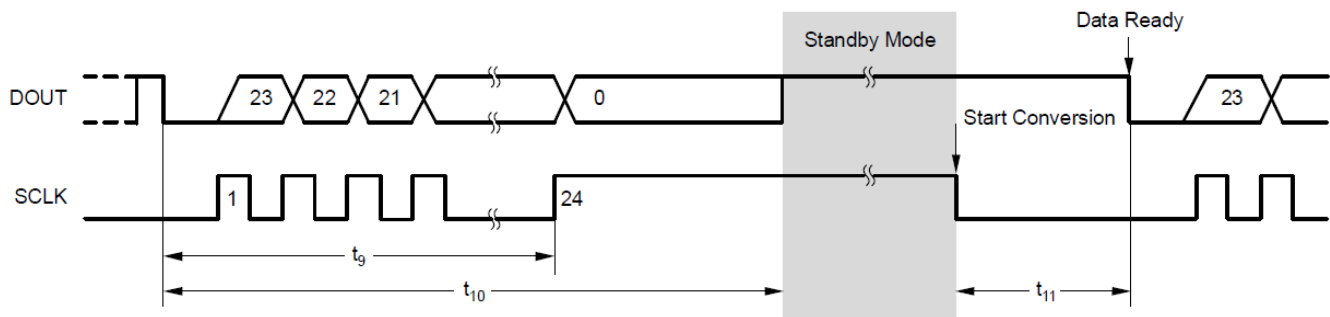


Figure9.

Table 12.

参数	描述		最小值	最大值	单位
$t_9^{(1)}$	在 DOUT 变低后，SCLK 拉高进入 standby 模式	SPEED = 1	0	12.44	ms
		SPEED = 0	0	99.94	ms
$t_{10}^{(1)}$	standby 模式启动时间	SPEED = 1	12.46		ms
		SPEED = 0	99.96		ms
$t_{11}^{(1)}$	退出 standby 后到数据准备好	SPEED = 1	57	57	ms
		SPEED = 0	407	407	ms

(1) Values given for fCLK = 4.9152MHz.

断电模式

$\overline{PDWN}$ 信号有效时关掉芯片所有电路，功耗小于 1.6uA。只需把 $\overline{PDWN}$ 引脚保持低电平，即可进入 Power down 模式。如图 Figure10所示：

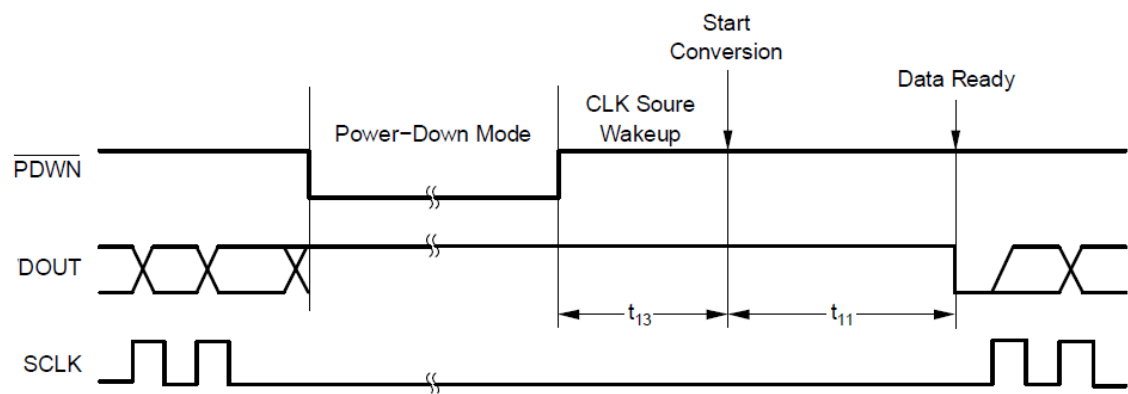


Figure10.

Table 13.

参数	描述		典型值	单位
t13 ⁽¹⁾	在 POWER DOWN 模式下唤醒时间	内部时间	7.95	us
		外部时间	0.16	us
		晶振	5.6	ms
t14 ⁽¹⁾	$\overline{PDWN}$ 脉宽		26 (min)	us

(1) 值是在 fclk=4.9152MHz 时对应的值

Power down 后 上电顺序

AVDD 和 DVDD 必须在 $\overline{PDWN}$ 信号变成高电平之前上电。

应用电路(衡器上应用)

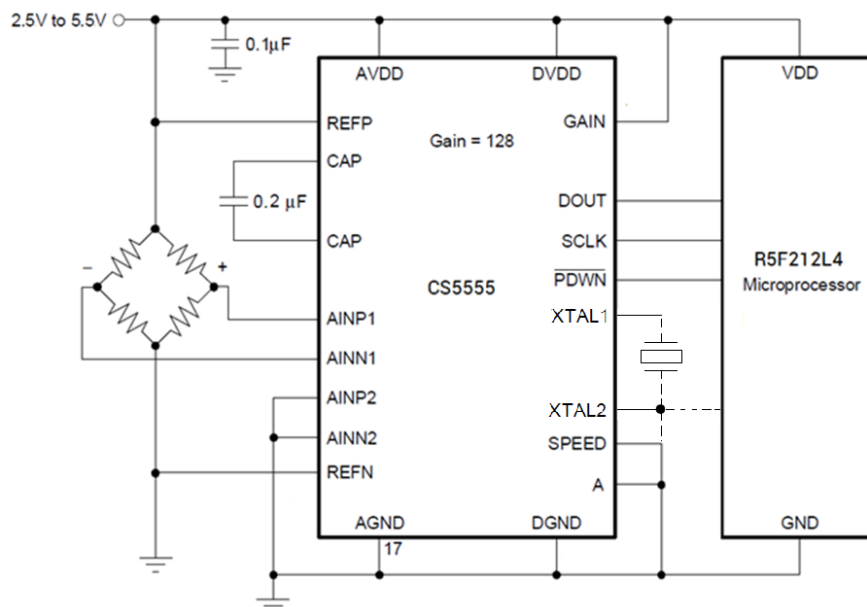
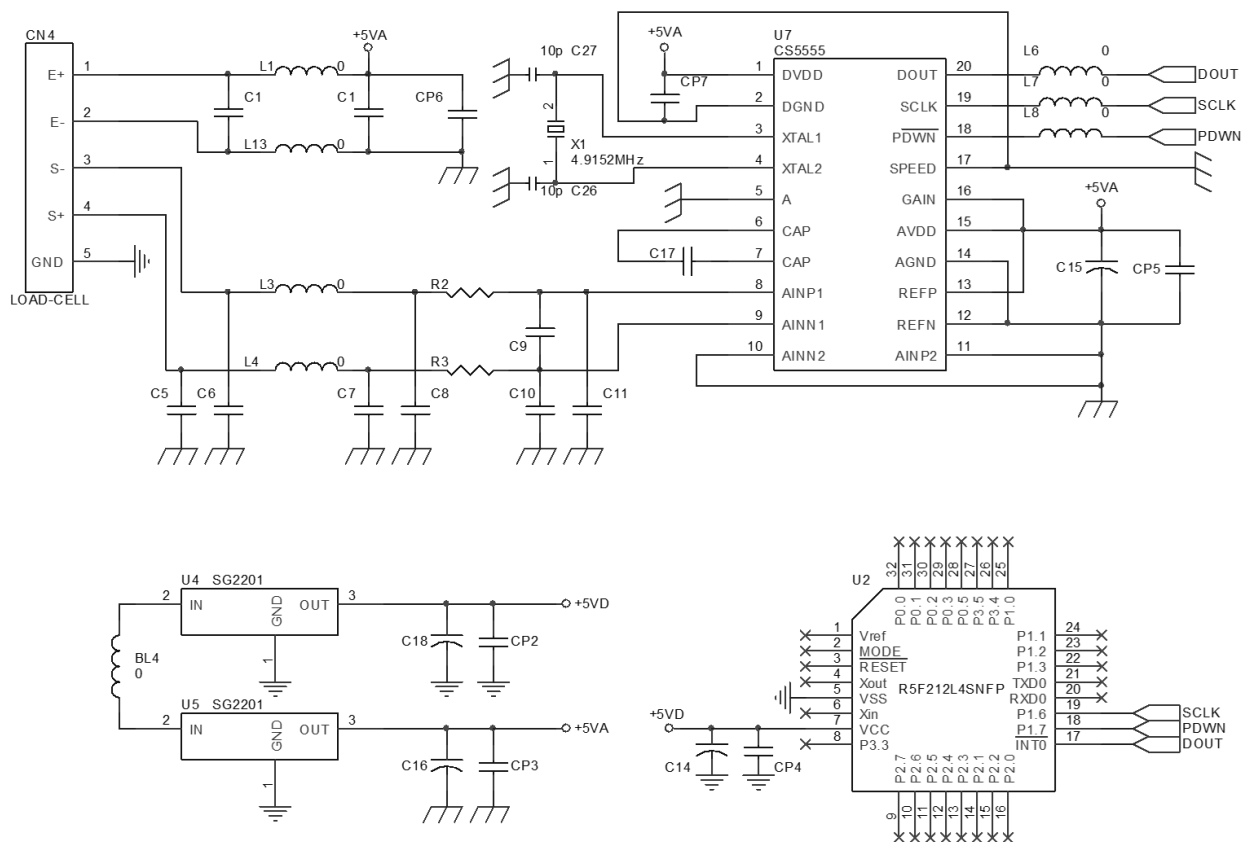


Figure11.

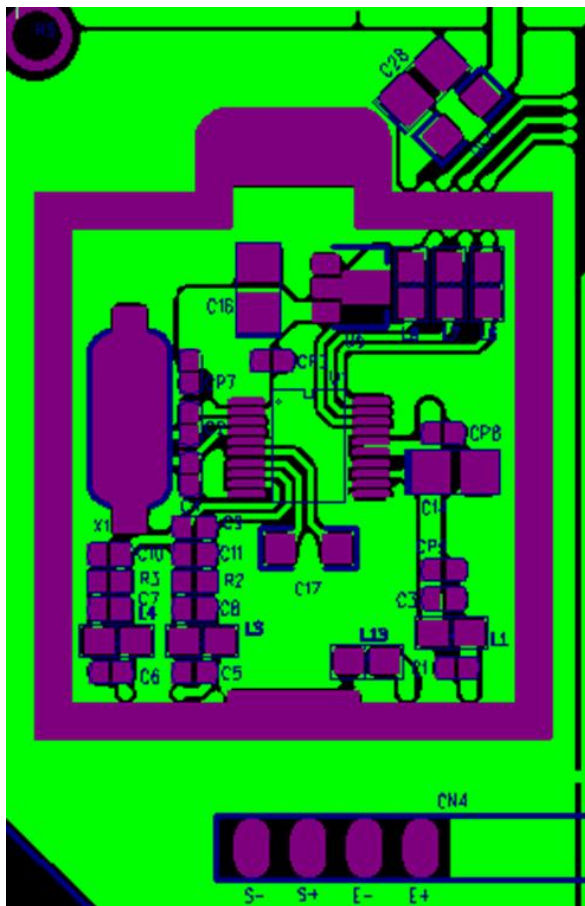
OIML 应用电路



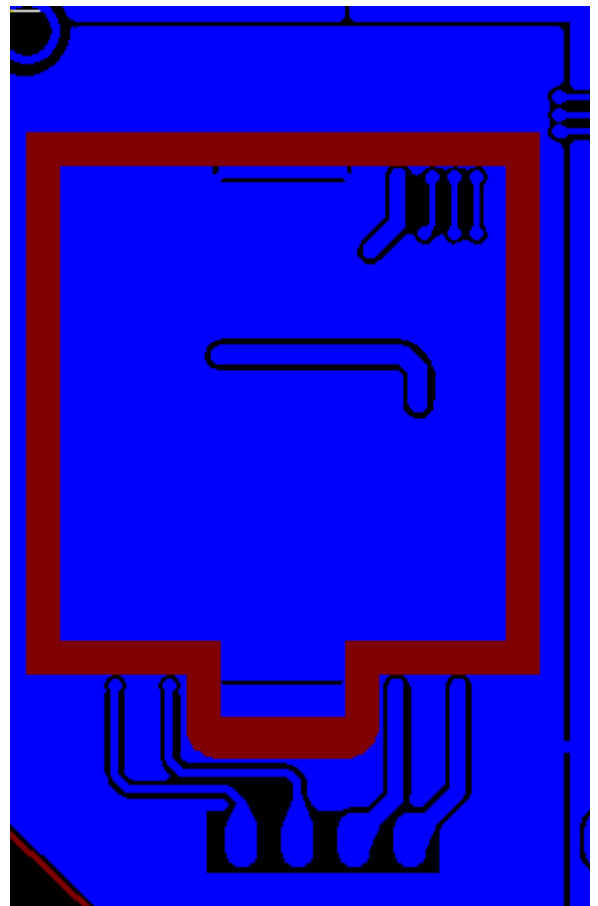
相关技术问题请联系代理商

CS5555

OIML LAYOUT 布板参考



零件层



底层

PACKAGING 封装

20 PIN SSOP PACKAGE DRAWING

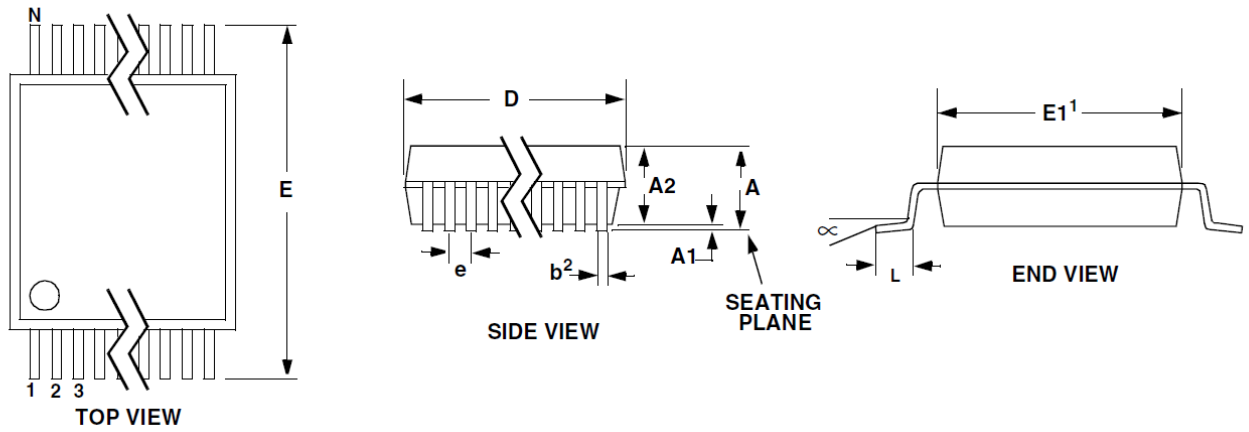


Figure12.

DIM	INCHES		MILLIMETERS		NOTE
	MIN	MAX	MIN	MAX	
A	--	0.084	--	2.13	
A1	0.002	0.010	0.05	0.25	
A2	0.064	0.074	1.62	1.88	
b	0.009	0.015	0.22	0.38	2,3
D	0.272	0.295	6.90	7.50	1
E	0.291	0.323	7.40	8.20	
E1	0.197	0.220	5.00	5.60	1
e	0.024	0.027	0.61	0.69	
L	0.025	0.040	0.63	1.03	
∞	0°	8°	0°	8°	

- Notes: 1. "D" and "E1" are reference datums and do not include mold flash or protrusions, but do include mold mismatch and are measured at the parting line, mold flash or protrusions shall not exceed 0.20 mm per side.
2. Dimension "b" does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.13 mm total in excess of "b" dimension at maximum material condition. Dambar intrusion shall not reduce dimension "b" by more than 0.07 mm at least material condition.
3. These dimensions apply to the flat section of the lead between 0.10 and 0.25 mm from lead tips.